

PAT-NO: JP354000963A

DOCUMENT-IDENTIFIER: JP 54000963 A

TITLE: ANALOG DIGITAL CONVERTER

PUBN-DATE: January 6, 1979

INVENTOR-INFORMATION:

NAME

MURANO, KAZUO

MATSUDA, KIICHI

FUKUDA, YUTAKA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP52066524

APPL-DATE: June 6, 1977

INT-CL (IPC): H03K013/175

US-CL-CURRENT: 341/163

ABSTRACT:

PURPOSE: To establish a multi-value feedback type converter ensuring the coding of high accuracy, by setting the upper (lower) limit reference level at approximately intermediate position between the upper (lower) level and 0 level of the former comparison reference signal, after comparing and judging the sample signal.

COPYRIGHT: (C)1979,JPO&Japio

⑩日本国特許庁
公開特許公報

⑪特許出願公開
昭54-963

⑫Int. Cl.²
H 03 K 13/175

識別記号

⑬日本分類
98(5) F 1

厅内整理番号
7125-5J

⑭公開 昭和54年(1979)1月6日

発明の数 1
審査請求 有

(全 4 頁)

⑮アナログ・デジタル変換器

⑯特 願 昭52-66524

⑰出 願 昭52(1977)6月6日

⑱発明者 村野和雄

川崎市中原区上小田中1015番地

富士通株式会社内

同 松田喜一

川崎市中原区上小田中1015番地
富士通株式会社内

⑲発明者 福田裕

川崎市中原区上小田中1015番地
富士通株式会社内

⑳出願人 富士通株式会社

川崎市中原区上小田中1015番地

㉑代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称 アナログ・デジタル変換器

2. 特許請求の範囲

入力アナログ信号のサンプル信号をM(M>1)ビットずつ比較判別する比較器群を有し、該比較器群の出力を逐次局部復号器に帰還して符号化を行う多値帰還形アナログ・デジタル変換器において、該比較器群により該サンプル信号の比較判別を行つたのち、上限参照レベルを前回比較参照信号の上限レベルと0レベルの略中間位置に下限参照レベルを前回比較参照信号の下限レベルと0レベルの略中間位置に設定することを特徴とするアナログ・デジタル変換器。

3. 発明の詳細な説明

本発明はアナログ信号をデジタル信号に変換するアナログ・デジタル変換器に関し、特に高速・高精度の符号化を行うことを可能にした多値帰還形アナログ・デジタル変換に関する。

従来よりアナログ・デジタル(以下A/D)変換器として逐次帰還型、雑続型、直並列型、計型等

が知られている。逐次帰還型は変換速度の向上が望めず、雑続型は回路規模が大きくなりすぎ、直並列型も回路規模が大きくなりすぎるという点で高速・高精度のA/D変換器として各々欠点を有していた。又、計数型は高速の点ではクロック系での面で実現性がない。

そこで、回路規模を小さくし、かつ高速で動作しうるA/D変換器として同時に複数の符号化を行ない帰還をかける方式のA/D変換器が有望となってきた。本発明はこの複数の符号化を行ない帰還をかける方式のA/D変換器において、より高精度の符号化を行なえることを主なる目的としている。

上記多値帰還形A/D変換器については、発明者等が既に特願昭51-142668号(昭和51年1月26日)において効率的な構成方法について提案している。本発明は、上記出願について更に改良を施したA/D変換器について提案するものである。まず、上記出願の特徴とする構成は、符号化されるためのアナログ信号のサンプル値を

入力し、該サンプル値と比較レベルの大小を判別して該判別出力を符号化出力とするアナログデジタル変換器において、該符号化出力を入力して符号化範囲の上限を決定する第1のデジタルアナログ変換器及び下限を決定する第2のデジタルアナログ変換器と、該第1、第2のデジタルアナログ変換器の出力値によつて決定される符号化範囲を $(2^N - 1)$ (N : 自然数) 分割する抵抗網と該抵抗網によつて発生された $(2^N - 1)$ 個のレベルと該サンプル値を比較し、その出力を該第1、第2のデジタルアナログ変換器に入力するとともに符号化信号とする $(2^N - 1)$ 個の比較器を含んでなるものである。

上記、出願の基本的構成図を第1図に示す。この回路の基本的な考え方は逐次比較帰還形が1ビットずつ判定して帰還する（或は存在領域を $1/2$ ずつに区切つてい）のに般べて、ここでは一度に N ($N > 1$) ビットずつ判定して帰還（或は存在領域を $1/2^N$ ずつに区切つてい）しようとするものである。この手順をし回繰り返すことによ

り $M = L \times N$ ビットの符号化ができる。Nビットずつの判定を行なうために $(2^N - 1)$ ケの比較器群11、これらの比較器群11の出力をNビットの2進数に変換するための論理回路12、及びこれらのNビットを記憶し次ステップの判定スレッシュホールドレベルを決定するための第1記憶回路13及び第2記憶回路14、 $(2^N - 1)$ ケの判定スレッシュホールドレベルを発生するための上限と下限の値を決定するJ ($J \leq M$) ビットD/A変換器15、16とそれらD/A変換器15、16の出力の間を $(2^N - 1)$ に等分割するための $(2^N - 1)$ ケの直列抵抗網17、最終Mビット符号をラッピング出力に供するための記憶回路18、そして全体のシーケンスを制御するためのクロック回路19よりなる。このA/D変換器は帰還比較に較べて部品点数は多くなるが、個々の部品は低速で安価なものが使用でき、全体として経済的となる。

本発明は上記のA/D変換器を更に改良したものであり、その構成は入力アナログ信号のサンプル

信号を M ($M > 1$) ビットずつ比較判別する比較器群を有し、該比較器群の出力を順次局部復号化に帰還して符号化を行う多値帰還形アナログ・デジタル変換器において、該比較器群により該サンプル信号の比較判別を行つたのち、上限参照レベルを前回比較参照信号の上限レベルと0レベルの略中間位置に下限参照レベルを前回比較参照信号の下限レベルと0レベルの略中間位置に設定することを特徴とする。

以下、図面を用いて本発明の説明を行う。第2図は本発明の一実施例プロック図である。本実施例においては同時に2ビットの符号化を行ない、最終的に8ビットのデジタル出力を得る構成について説明を施す。本図において第1図と同一部位は同一番号を付した。28、24は記憶回路である。

第3図は本発明を説明するためのタイムチャート、第4図は本発明を説明するためのD/A変換器15、16の出力電圧波形を説明するための図である。本発明における第2図に示す実施例の動作の概略は第1図に示す従来例の動作と同様である。従来

例と異なる点は記憶回路28、24IC、比較判別動作を行つたのちにクロック信号CLKにより所定符号を強制的に入力し、D/A変換器15、16の参照電圧レベルを所定値にクランプすることである。

第8図は標準化周期、即は比較器11の出力タイミング、即はクロック信号CLKのタイミングを示すタイムチャートである。

第4図の点線Bは従来の動作時のD/A変換器出力波形、実線Cは本発明による動作時のD/A変換器出力波形、実線Aは入力サンプル信号波形である。

まず始めに従来の動作について説明する。

参照アナログ信号の上限を定めるVref1は入力アナログ信号の上限であるVH1を出力し、参照アナログ信号の下限を定めるVref2は入力アナログ信号の下限であるVL1を出力し、この2信号より作られる参照信号と入力信号を比較し、比較回路（以下comp）1～8は1ビット目と2ビット目の符号化を行なう。このcompの出力をうけ論

理回路 2 は 2 進の符号に変換し記憶回路 1 8 IC にくわえる。この記憶回路の出力は記憶回路 2 8, 2 4 を経由して各々 D/A 変換器 15, 16 へ帰還され、次の参照電圧 V_{H2} , V_{L2} を出力する。この 2 出力をうけ comp, 線理回路, 記憶回路, 記憶回路 2 8, 2 4 は前と同様の動作により、8 ビット目と 4 ビット目の符号化を行ない D/A 変換器 15, 16 IC その結果を帰還する。この結果をうけて D/A 変換器 15, 16 は 8 回目の判定に必要な上限アナログ信号 V_{H8} , 下限アナログ信号 V_{L8} を発生する。この出力をうけ、comp D/D Mem は前と同様の動作により 5 ビット目と 6 ビット目の判定を行なう。

次に本発明による回路動作を説明する。まず始めに参照アナログ信号の上限を定める D/A 変換器は入力アナログ信号の上限である V_{H1} を出力し参照アナログ信号の下限を定める。D/A 変換器 16 は入力アナログ信号の下限である V_{L1} を出力し、この 2 信号より作られる参照信号と入力信号と入力信号とを比較し comp 1~8 は 1 ビット目

と 2 ビット目の符号化を行なう。この符号化の行なわれた直後に D/A 変換器出力 1 5 が強制的にレベル V_{ref1-1} (第 4 図図示) を D/A 変換器 1 6 の出力は強制的にレベル V_{ref2-1} (第 4 図図示) を出力としてだすように記憶回路 2 8, 2 4 を操作する。一方 comp 出力をうけて線理回路 1 2 及び記憶回路 1 8 は通常の場合と同一動作をし、強制的に値を変えられた記憶回路 2 8, 2 4 への帰還入力となる。この帰還入力をうけて記憶回路 2 8, 2 4 は次回の参照電圧 V_{H2} , V_{L2} を出すべく動作を行ない D/A 変換器 15, 16 は各々 V_{H2} , V_{L2} を出力する。 V_{H2} , V_{L2} の 2 つの参照信号を簡単とし作られる参照信号をもとにして comp 1~8 は前と同様の動作を行ない、8 ビット目と 4 ビット目の符号出力を線理回路 1 2 へ伝える。これと同時に D/A 変換器 15, 16 の出力は強制的に V_{ref1-2} , V_{ref2-2} へを変えられ帰還符号の伝達を待つ。線理回路 1 2, 記憶回路 1 8, 2 8, 2 4 は前と同様の動作を動かない結果として V_{ref1} , V_{ref2} の出力は V_{H8} , V_{L8}

を発生する。この 2 つのアナログ参照電圧をもと $V_{comp1\sim8}$ は前と同様の動作を行ない 5, 6 ビット目の符号化が行なわれる。

以上の本発明により複数の符号化が同時に行なわれ、その符号化出力を帰還する帰還型 A/D 変換器において特性の最も劣化しやすい過渡状態での変化巾が抑えられるため、整定が早くなり精度の向上が行なえる。また、入力信号の小さな場合には特に 2 回目の符号化に関する参照電圧の変化が小さくなり特性の大巾を向上が行なえる。また、本発明に従事する回路は局部復号器用の記憶回路をデジタル的に制御するだけでよいので回路的にも、簡単で特性の向上には極めて有用である。

4 図面の簡単な説明

第 1 図は従来例、第 2 図は本発明の一実施例、第 3 図、第 4 図は本発明を説明するためのタイムチャート及び電圧波形図である。

第 2 図において 2 8, 2 4 は記憶回路、CLK はクロック信号を示す。

代理人 分野士 松岡 宏四郎

